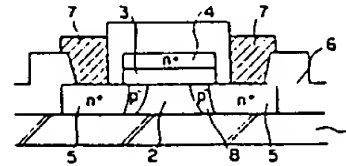


(11) 1-7567 (A) (13) 11.1.1989 (19) JP

(71) RICOH CO. LTD. (72) MASUMITSU INOCHI

(51) Int. Cl. H01L29/78; H01L27/08; H01L27/12

CONSTITUTION: The region, which is highly doped with impurity of polarity opposite to that of high concentrated impurity doped into a diffusion layer 5, or a channel stopper layer 8 is formed on the part where a channel of a poly-Si layer 2 is built and the diffusion layer 5 is adjacent. Therefore, depletion layer becomes short in length W and it is hard to happen that current suddenly flows (breakdown state) even if high voltage is applied. By these processes, breakdown strength between a drain and a source is improved, and thus a transistor can be driven by high voltage.



257/66

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭64-7567

⑤ Int. Cl.⁴

H 01 L 29/78
27/08
27/12

識別記号

3 1 1
3 2 1

庁内整理番号

X-7925-5F
A-7735-5F
7514-5F

④ 公開 昭和64年(1989)1月11日

審査請求 未請求 発明の数 1 (全4頁)

⑬ 発明の名称 MOSトランジスタ

⑭ 特 願 昭62-162061

⑮ 出 願 昭62(1987)6月29日

⑯ 発 明 者 猪 野 益 充 東京都大田区中馬込1丁目3番6号 株式会社リコー内
⑯ 発 明 者 長 田 武 人 東京都大田区中馬込1丁目3番6号 株式会社リコー内
⑯ 発 明 者 島 田 真 澄 東京都大田区中馬込1丁目3番6号 株式会社リコー内
⑯ 発 明 者 廣 居 正 樹 宮城県柴田郡柴田町大字中名生字神明堂3-1 リコー応用電子研究所株式会社内

⑰ 出 願 人 株式会社リコー 東京都大田区中馬込1丁目3番6号

⑰ 出 願 人 リコー応用電子研究所 宮城県柴田郡柴田町大字中名生字神明堂3-1
株式会社

⑱ 代 理 人 弁理士 佐田 守雄 外1名

明 細 書

1. 発明の名称

MOSTランジスタ

2. 特許請求の範囲

1. SOI型のMOSTランジスタにおいて、
チャネルが形成される部分であって、かつ拡散層に隣接した部分に拡散層にドーピングされた不純物と逆極性を有する不純物をドーピングした領域を形成してなるMOSTランジスタ。

3. 発明の詳細な説明

(技術分野)

本発明は高電圧での駆動が可能なSOI型のMOSTランジスタに関する。

(従来技術)

一般にSOI(Silicon On Insulator)型のMOSTランジスタは、例えばn-chトランジスタの場合は第2図に示されるように構成されるものである。この第2図において、1は絶縁

基板であり、この絶縁基板1上には通常はpoly-Si層2を形成し、その上にゲート酸化膜3およびゲート電極4を順次形成し、これにN型不純物を拡散してpoly-Si層2にソースおよびドレインの拡散層5を形成するとともにゲート電極4にもN型不純物を拡散し、しかる後に層間絶縁膜6およびソースドレイン電極7を形成してなるものである。

このようなMOSTランジスタにおいては、ソースおよびドレイン間に電圧を印加し、ゲート電極4への電圧印加による増幅作用等によりトランジスタのチャネル領域(トランジスタon時の電流路)に空乏層が形成されやすく、この空乏層はソース・ドレイン間の印加電圧の増大とともにチャネル領域に伸び、ついには空乏層がチャネル全長に亘るようになると、ソース領域とドレイン領域とが短絡し、急激な電流の変化を素子にもたらし、最終的には致命的なトランジスタの破壊を惹起するという問題点を有するものであった。

(目 的)

本発明は上記して従来の問題点を解消し、駆動耐圧を向上させ、しかも高速駆動を可能とし、消費電力およびオフ時のリーク電流を低減し得るMOSトランジスタを提供することを目的とするものである。

(構 成)

本発明のMOSトランジスタは、チャネルが形成される部分であって、かつ拡散層に隣接した部分に拡散層にドーピングされた不純物と逆極性を有する不純物をドーピングした領域を形成したことを特徴とするものである。

ちなみに、本発明者らは前記した如き空乏層に起因する短絡現象を防止するために種々検討した結果、チャネル形成部に高濃度にドーパされた拡散層と反対の極性をもつ不純物を混入した領域を形成することにより、空乏層の長さが軽減され、ドレインとソース間の電圧が高電圧側まで耐えられるようになるという知見を得た。本発明はこのような知見に基づいて完成したものである。

不純物は 3.7×10^{18} (1/cm)以上の濃度が必要となる。

本発明は、空乏層の長さののびをおさえて、トランジスタが高電圧状態で駆動することを主眼とするものであり、高電圧状態にする理由は、CMOSトランジスタの入力信号に対する遅れが、減少し、CMOSトランジスタが高周波信号に追従できるためである。

第3(a)にCMOSトランジスタ回路図と第3(b)に駆動電圧 V_{DS} とその伝達遅延時間 τ_{pd} の関係を示す。また下にCMOSトランジスタの τ_{pd} の理論式を示す。

$$\tau_{pd} = \frac{2L^3}{\mu_{eff} \cdot (V_{GS} - V_{th})} = \frac{C_t}{C_g}$$

L : チャネル、

μ_{eff} : 電界効果移動度

V_{GS} : ゲート電圧(V_{DS})

V_{th} : しきい値電圧

C_t : 次段のCMOS容量

C_g : ゲート容量

なお、 V_{GS} は V_{DS} とほぼ一致している。これよ

のである。

一般に、空乏層の長さ W は次式で表わされる。

$$W = \sqrt{\frac{2\epsilon_{si}}{qN_a} (V_{bi} + V_{DS})}$$

ここで、 ϵ_{si} : シリコンの比誘電率

V_{bi} : pn接合部のbuilt in potential

V_{DS} : ドレイン・ソース電圧

N_a : バルクの不純物濃度

q : 単位電子の電荷量

上式よりわかるように、 W は N_a 、すなわちシリコンバルク中の不純物濃度に依存しており、 N_a が高ければ W は小さくなることがわかる。

チャネル長 $5\mu m$ のTFTを作製するには、 W はドレイン・ソース側から伸びてくるとしてチャネル長の1/2以下であるが望まれる。 W を $2.5\mu m$ 以下にするためには、 $\epsilon_{si} = 1.05 \times 10^{-12}$ F/cm、 $V_{DS} = 17$ V、 $q = 1.60218 \times 10^{-19}$ C、 $V_{bi} = 0.6$ eV

$$N_a = \frac{2\epsilon_{si}(V_{bi} + V_{DS})}{qW^2} = \frac{2 \times 1.05 \times 10^{-12} \times 17.6}{1.60218 \times 10^{-19} \times (2.5 \times 10^{-4})^2} = 3.7 \times 10^{18} (1/cm)$$

り τ_{pd} 値を減少させるには V_{DS} 値を増加させる方法が良く、これによりCMOSトランジスタは高周波の入力信号に対して追従可能となる。

次に、本発明のMOSトランジスタの実施例を第1図に示す。この第1図は第2図と同様のn-chトランジスタの場合の構成例を示すものであり、第2図に示した従来のMOSトランジスタと比較した場合、poly-Si層2のチャネルが形成される部分であって、かつ拡散層5に隣接した部分に拡散層5にドーピングされた高濃度の不純物と逆極性を有する不純物がライトドーパされた領域、すなわちチャネルストッパー層8を形成したことにおいて、従来例と区別されるものである。

このようなチャネルストッパー層8は例えば次のようにして形成される。

n-chトランジスタの製造例を示せば、まず、絶縁基板1上に活性層となるpoly-Si層2を形成し、ゲート酸化膜3およびゲート電極4を形成し(第4図(a))、B⁺、ボロン拡散係数 9×10

10^{18} (at/s), at 900°C を多結晶 Si ゲートをマスクとしてセルフアライン法によりイオン注入を行う(第4図(b))。その後 A_s^+ ; 拡散係数, 3.2×10^{-18} (at/s), at 900°C を同じトランジスタにイオン注入を行う(第4図(c))。その後これら不純物を活性化するために、 O_2 または N_2 雰囲気中でアニール処理を行い拡散層5および空乏層ののびを押さえるチャネルストッパー層8を形成する(第4図(d))。こうすることにより先に述べた空乏層の長さWが小さくなり、高電圧を加えても急激に電流が流れる(ブレイクダウン状態)ことは起こりにくくなる。この時のBの濃度は、 3.7×10^{18} (1/at)以上が望ましい。しかし 1×10^{18} (1/at)以上であるとチャネルストッパー層8が金属状態に近くなり、トランジスタ動作しなくなるため、これ以下が望ましい。また A_s^+ は、拡散層5として使用するため、金属状態に近くなる必要があり、 1×10^{18} (1/at)以上の濃度注入することが好ましい。

また、イオン注入時の注入角度を変更するこ

とでも上記と同じ効果が得られる。それを示したのが第5図の応用例であり、第5図(a)、(b)、(c)、(d)にその形成方法を示す。第5図(a)で活性層の上の多結晶 Si ゲートをパターニングしたのち、第5図(b)に示すようにAの方向よりB $^+$ を 3.7×10^{18} (1/at)以上の濃度で注入する。その後第5図(c)に示すように、Bの方向より A_s^+ を 1×10^{18} (1/at)以上注入し、その後 O_2 , N_2 雰囲気中で熱アニールを施す。第5図(d)にその最終形状を示す。これは第4図(d)の状態と近いものであり、空乏層ののびを片側だけおさえたものである。なお、この応用例におけるイオン注入角度は $1 \sim 7^\circ$ の範囲とすることが好ましい。

かくして形成される n-ch トランジスタにおけるドレイン・ソース電流; I_{ds} 、ドレイン・ソース電圧; V_{ds} の特性を第6図に示す。この第6図より、ドレイン・ソース間電圧が向上し、高電圧で駆動可能であることがわかる。

次に本発明による n-ch トランジスタの作製

条件を示す。

- ・活性層 poly-Si
(減圧CVD法, 膜厚圧力0.1~10Torr
膜厚温度650°C, 反応ガスSiH₄(99.999%))
- ・ゲート酸化膜 熱SiO₂
(熱酸化法, 大気圧
膜厚温度1000°C, 反応ガスdry O₂)
- ・ゲート電極 poly-Si
(減圧CVD法, 膜厚圧力0.1~10Torr
膜厚温度650°C, 反応ガスSiH₄(99.999%))
- ・層間絶縁膜 SiO₂
(減圧CVD法, 膜厚圧力0.1~1Torr
膜厚温度370°C, 反応ガスSiH₄+O₂)
- ・ドレイン・ソース電極
(スパッタ法, 膜厚圧力1Torr
膜厚温度350°C, Pure Al)

なお、以上の説明はn-ch MOS トランジスタについて特明したが、p-ch MOS トランジスタについても同様にして作製することができ、同じく高電圧での駆動が可能であることが理解されよう。

[効果]

以上のような本発明によれば、チャネルが形成される部分に拡散層にドーピングした不純

物と逆極性の不純物をドーピングしたチャネルストッパー層を拡散層に隣接して形成しているため、このチャネルストッパー層により空乏層ののびが押えられ、高電圧での駆動が可能となり、従って駆動回路(CMOS トランジスタ)の高周波信号の追従性が良好となり、トランジスタの電源電圧に対する信頼性も向上する。さらにpn接合形成によるトランジスタのオフ時のリーク電流も低減するという効果を有する。

4. 図面の簡単な説明

第1図は本発明に係るMOS トランジスタの一実施例における構成例を示す説明図である。

第2図は従来のMOS トランジスタの構成例を示す説明図である。

第3図(a)はCMOS回路、(b)は従来例によるCMOS 1段のV_{os}とr_{pd}の関係図である。

第4図は本発明によるn-ch MOS トランジスタの作製例を示すフロー説明図である。

第5図は本発明によるn-ch MOS トランジスタの作製する場合の他の例を示すフロー説明

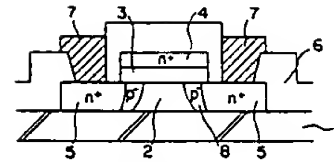
図である。

第6図はn-ch MOSトランジスタのブレークダウン特性を従来例と本発明例について比較した特性図である。

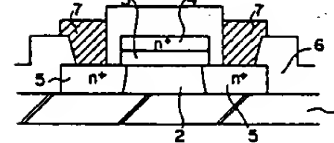
- | | |
|--------------|------------|
| 1…絶縁基板 | 2…poly-Si層 |
| 3…ゲート酸化膜 | 4…ゲート電極 |
| 5…拡散層 | 6…層間絶縁膜 |
| 7…ドレイン・ソース電極 | |
| 8…チャネルストッパー層 | |

特許出願人 株式会社リコー 外1名
代理人 井理士 佐田 守 雄 外1名

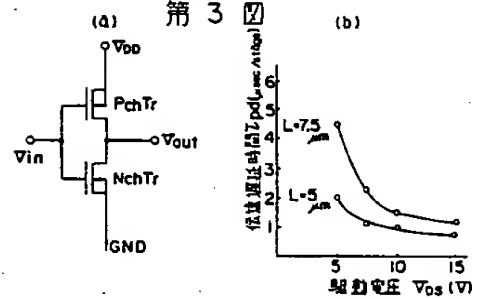
第1図



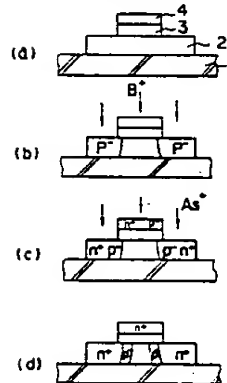
第2図



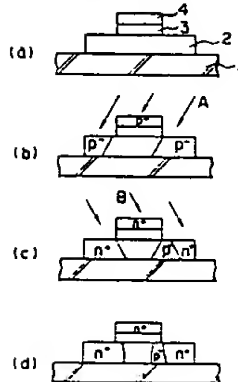
第3図



第4図



第5図



第6図

